

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-155621
 (43)Date of publication of application : 03.07.1991

(51)Int.Cl. H01L 21/302

(21)Application number : 01-278568 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 27.10.1989 (72)Inventor : HAYASAKA NOBUO
 OKANO HARUO

(30)Priority

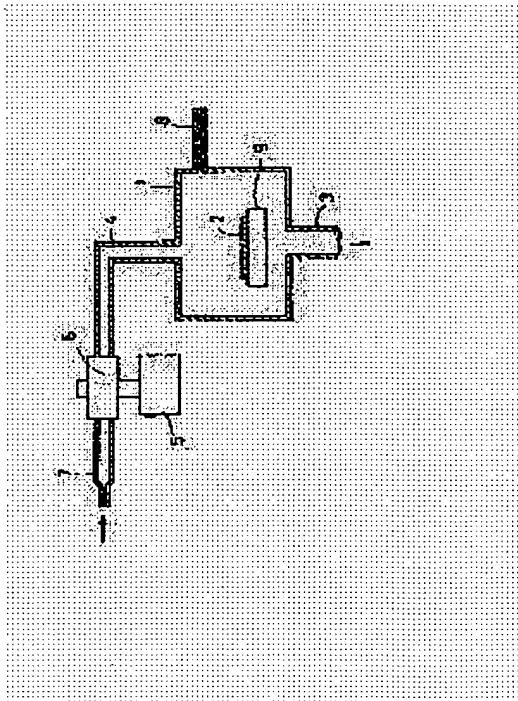
Priority number : 01178016 Priority date : 12.07.1989 Priority country : JP

(54) DRY ETCHING METHOD

(57)Abstract:

PURPOSE: To etch a silicon oxide film at a relatively low selection ratio, i.e., an etching speed of the same degree as silicon without damaging a silicon substrate by exposing a base to be treated in which a silicon oxide film is formed on the substrate with a gas atmosphere of active seed containing hydrogen gas and fluorine radical or element, and heating the base to be treated.

CONSTITUTION: Gas containing halogen element such as fluorine, etc., is introduced from the other end 7 of a pipe 4, a voltage is applied to a microwave power source 5 to excite the gas by a quartz discharge tube 6 connected to a gas inlet 4 to generate a plasma, and active seed generated there is supplied. NF₃ is used as reactive gas containing F, fluorine radical (F*) is generated by the microwave discharge of the NF₃ and supplied to a base to be treated. Simultaneously, H₂ gas is introduced from a gas inlet 8. Since the Si etching speed is the same as that of SiO₂, an Si substrate as a base is etched in the same degree as a spontaneous oxide film during 100% overetching time to perform excellent etching without damage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑯日本国特許庁(JP)

⑪特許出願公開

⑭公開特許公報(A)

平3-155621

⑮Int.Cl.⁵

H 01 L 21/302

識別記号

庁内整理番号

F 8122-5F

⑯公開 平成3年(1991)7月3日

審査請求 未請求 請求項の数 5 (全5頁)

⑭発明の名称 ドライエッティング方法

⑬特 願 平1-278568

⑭出 願 平1(1989)10月27日

優先権主張 ⑬平1(1989)7月12日 ⑮日本(JP) ⑬特願 平1-178016

⑭発明者 早坂 伸夫 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑭発明者 岡野 晴雄 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑭出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑭代理人 弁理士 则近 憲佑 外1名

明細書

1. 発明の名称

ドライエッティング方法

2. 特許請求の範囲

(1)シリコン基板表面にシリコン酸化膜が形成された被処理基体を水素ガス及び弗素ラジカル又は弗素元素を含む活性種のガス等雰囲気にさらすとともに、前記被処理基体を加熱することにより、前記シリコン酸化膜をシリコン基板に対して選択的にエッティングするドライエッティング方法。

(2)前記水素ガスの分圧は弗素ラジカル又は弗素元素を含む活性種のガスの分圧より高い条件でエッティングすることを特徴とする請求項1記載のドライエッティング方法。

(3)前記被処理基体を100℃以上に加熱することを特徴とする請求項1記載のドライエッティング方法。

(4)前記被処理基体を反応容器に収納し、前記活性種のガス等雰囲気として前記反応容器とは別の室で励起されたものを用いることを特徴とする請求

項1記載のドライエッティング方法。*

(5)前記反応容器と別の室の内壁表面はアルミナで形成されていることを特徴とする請求項4記載のドライエッティング方法。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は半導体素子の製造プロセス等におけるシリコン酸化膜のドライエッティング方法に関する。(従来の技術)

従来、半導体製造プロセスにおけるドライエッティング技術として、その微細加工性の良さに注目され、反応性イオンエッティング(RIE)が主に用いられてきた。しかし、RIE法の場合、プラズマ中で生成された荷電粒子が被エッティング物表面に入射することにより、被エッティング物の下地にイオン打込みによる汚染、結晶性のダメージ等を与える。このことは高精度素子を作成するのに悪影響を与えることになり、大きな問題となっている。

このような問題を解決するためのドライエッティング技術として荷電粒子を用いないケミカルドライエッティング(CDE)あるいは光励起エッティングがある。

CDEは例えばCF₄等の反応性ガスから生成したF*等の反応性の強い活性種の化学反応を主として用いてシリコン基板等の表面に形成されたシリコン酸化膜をエッティングする方法である。しかしながら、前記CDEにおいては、シリコン酸化膜のみならず下地のシリコン基板もエッティングされるといった問題がある。これは通常のCDEではシリコンに対するシリコン酸化膜のエッティング速度比が約10程度と両者のエッティング速度に差があることを利用しているからである。従って、シリコンを1エッティングしようとするとシリコン酸化膜は10エッティングされてしまう。それ故SiO₂だけを除去するエッティング時間でエッティングを止めようとしても、それは極めて困難であり、従って、基板全面でSiO₂を完全に除去するためにはエッティングの基板面内での均一性も考え、一般的

には100%以上のオーバーエッティングを必要とし、このオーバーエッティング時に下地の基板はどうしてもエッティングされてしまう。

また、SiO₂の光励起エッティング技術も開発されている。従来の光励起エッティングでは、活性種の生成を光分解によっていたために、その効率が悪かった。すなわち、動作ガス圧を高くし、強度の強いレーザ光等を照射しなければならなかつた。エッティング速度が遅い場合には実用化において問題となる。また、高強度のレーザ光の照射は、レジストマスクを溶損せることがあり、マスク材の選択が困難になる。また、短波長(例えばArF 193nm)のレーザ光をSiO₂に照射することによりSiO₂中にダメージを与えることなどが知られており、プロセスに用いるには大きな問題となる。

また、Siに対するSiO₂の選択エッティング技術として、1000Å以下の波長の真空紫外光の照射によるSF₆とO₂ガスを用いたエッティング技術がある(T.Urisu et al; 2nd Topical Meeting on

Microphysics of Surface, Beams and Adsorbates, Feb. 1987)。しかし、真空紫外光を半導体製造プロセスに用いるのは極めて困難であるとともに装置も大がかりとなり、また、このような高エネルギー粒子の基板への入射は、基板中へダメージを引き起こすので好ましくない。

(発明が解決しようとする課題)

本発明は上述した従来のSiO₂膜のエッティング方法の欠点を除去し、基板にダメージを与えることなく、シリコン酸化膜をシリコンに対して比較的低い選択比すなわち、同程度のエッティング速度でエッティングするシリコン酸化膜のエッティング方法を提供することにある。

[発明の構成]

(課題を解決するための手段)

本発明は、前記目的を達成するために、シリコン基板表面にシリコン酸化膜が形成された被処理基板を水素ガス及び弗素ラジカル又は弗素元素を含む活性種のガス雰囲気にさらすとともに、前記被処理基板を加熱することにより、前記シリコン

酸化膜をシリコン基板に対して選択的にエッティングするドライエッティング方法を提供する。

(作用)

本発明によれば、例えばNF₃, CF₄, SF₆等のFを含むガスを放電、電子ビーム、光照射あるいは熱等により励起しFラジカルあるいはフッ素元素を含む活性種を生成し、これを反応容器に導入する。反応容器内には、試料としてシリコン基板表面にシリコン酸化膜が形成されたものを設置しておくと共に、容器内に水素ガスを導入しておく。導入されたFラジカルは前記試料表面のシリコン酸化膜と反応するとともに、気相中又は表面でH₂分子との反応を生じH₂分子を励起又は分解し、Hラジカルを形成する。ここで生成された前記水素ラジカルや、Fと反応したHFによってSiO₂表面のエッティング反応をさらに促進する。

ここで、前記被処理基板を例えば100℃以上に加熱した条件では、前記シリコン基板とシリコン酸化膜のエッティング速度がほぼ等しくあがっていくという特有の現象が見られる。

このことを利用して本発明ではシリコン酸化膜をシリコン基板に対して低い選択比でエッチングでき、下地をオーバーエッチングすることなく良好に制御されたシリコン酸化膜のエッチングを行なうことができる。

(実施例)

以下、本発明の実施例の詳細な説明を図面を用いて説明する。

第1図は本発明の実施例方法に使用したドライエッチング装置を示す概略構成図である。図中1はチャンバ(反応容器)であり、チャンバ1内には被処理体2が収容されている。チャンバ1にはフッ素(F)等のハロゲン元素を含む活性種を供給するための第1のガス導入口4が接続されている。前記活性種のチャンバ1内への供給は、前記パイプ4の他端7からフッ素等のハロゲン元素を含むガスを導入し、マイクロ波放電管5に磁場を印加することによりガス導入口4に接続された石英製の放電管6で前記ガスを助起してプラズマを生成し、そこで生成された活性種を供給する。

温度に保たれている。SiとSiO₂いずれの場合もH₂ガスの導入により、そのエッチング速度は低下してゆき、NF₃およびH₂の分圧比が1となつた所でいずれのエッチング速度もほぼ0となる。次に、この条件で、被処理体の温度を変化(上昇)させていった場合のSiおよびSiO₂のエッチング速度を測定した結果を第2図(b)に示す。温度の上昇とともに、いずれのエッチング速度も上昇してゆくが、その時の両者のエッチング速度はほぼ同じなのでエッチング速度の比はほぼ1を保つたままである。

また、ここで前記放電管としてこの実施例のように石英製のものその他に内壁表面がアルミナで構成されたものを用いて実験した所、後者の方が前者よりもSiO₂のエッチング速度が2倍速いことが確認された。

これは、エッチングガスとしてハロゲンガス、例えばフッ素含有ガスを石英製の放電管内に導入し、放電させると石英自体が反応を起こし、SiF_x、O_y等の生成物が発生される。これがエッチングの

また、チャンバ1内は、排気口3から真空排気されるようになっている。ここで放電管6とチャンバ1は離隔して設けられているので、前記被処理体には反応性の強い活性種が供給される。

また、チャンバ1には、H₂ガスを導入する第2のガス導入口8が設けられている。被処理体2はチャンバ中で試料台9の上に設置されており、試料台9は加熱機構を有し、試料を加熱できるようになっている。

次に本発明の一実施例としてこの装置を用いたシリコン基板表面にSiO₂膜が形成された被処理基体のエッチングについて述べる。まず、Fを含む反応性ガスとしてNF₃を用い、NF₃のマイクロ波放電によりフッ素ラジカル(F^{*})を生成し、被処理基体に供給する。同時にH₂ガスをガス導入口8から導入する。

NF₃ガス流量を30 sccm、反応チャンバ内圧力を0.3 Torrとして、導入するH₂ガスの分圧を変化させた場合のSiおよびSiO₂のエッチング速度の変化を第2図(a)に示す。この場合Si又はSiO₂は室

活性種と共に被処理基体表面まで輸送される。前記生成物はSiFxOy(x,y=0~4)などの生成物となって前記基体上に付着し、SiO₂のエッチング速度を低下させる。

アルミナを用いた場合には、前記SiFxOy、SiFxOyなどは生成されないため石英製のものに比べSiO₂のエッチング速度は向上する。一方、この実施例において前記生成物はSiに対してはほとんどエッチングの影響を与えないため、結果としてSiO₂のSiに対するエッチング速度比をさらに向上することができる。

また、アルミナの他にも同様の材料としてSiN、SiC、BN等を用いることができる。

前述した実施例を例えれば第3図の工程断面図に示すように、半導体素子形成時のpoly-Si配線形成を行う場合に適用した本発明の実施例の応用について説明する。

第3図(a)中、1-1はSi基板、1-2はSiO₂膜であり1-3は、Si基板上でSiO₂膜1-2でベターニングされており、その開口部で、D型又はP型の

不純物を高濃度に拡散した領域である。第3図(b)はこの試料上にpoly-Si 14を堆積した場合の図であり、poly-Si の堆積後、PEPを行い poly-Si 14をエッティングし、配線パターンを形成し第3図(c)に示すような構造を形成する。しかし一般に、第3図(a)中15に示すように、poly-Siを堆積する前の試料のSi表面には、自然酸化膜が形成されている。この自然酸化膜が形成されたまま、poly-Si を堆積するとpoly-Si膜と Si 基板との接触抵抗が大きくなり、配線としては問題となる。

そこで上述した本発明の一実施例方法で、Si上の自然酸化膜を除去した後、試料を大気又はO₂雰囲気に晒さず、poly-Si 膜を形成した場合には、コンタクト抵抗が10Ω/□程度と極めて低くなる。一方、このような処理を行わない場合には100Ω/□と抵抗は約10倍高かった。

この場合の本処理は第2図(b)において温度250℃の条件で30秒間の処理を行っている。自然酸化膜は一般に~50Å程度形成されていると考え

られ、前述したように通常、最大で100%のオーバーエッティングを見こしている。本発明による実施例では、Siのエッティング速度がSiO₂と同じであるために、100%のオーバーエッティング時間中に下地のSi基板も自然酸化膜を同程度のエッティングであり、ダメージのない良好なエッティングができる。

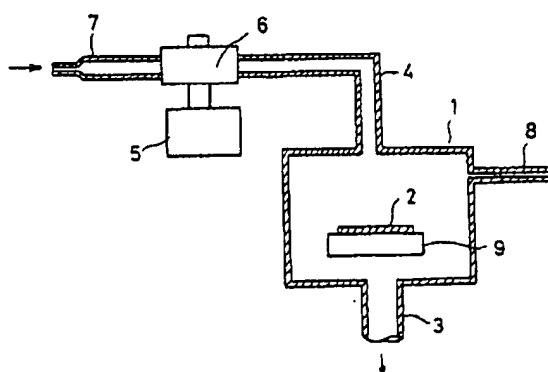
[発明の効果]

本発明により、シリコン酸化膜をシリコンに対して低い選択性で、かつ被処理体にダメージを与えることなくエッティングできる。本技術はSi上の自然酸化膜の除去等、半導体プロセスにおいて極めて効果を発揮する。

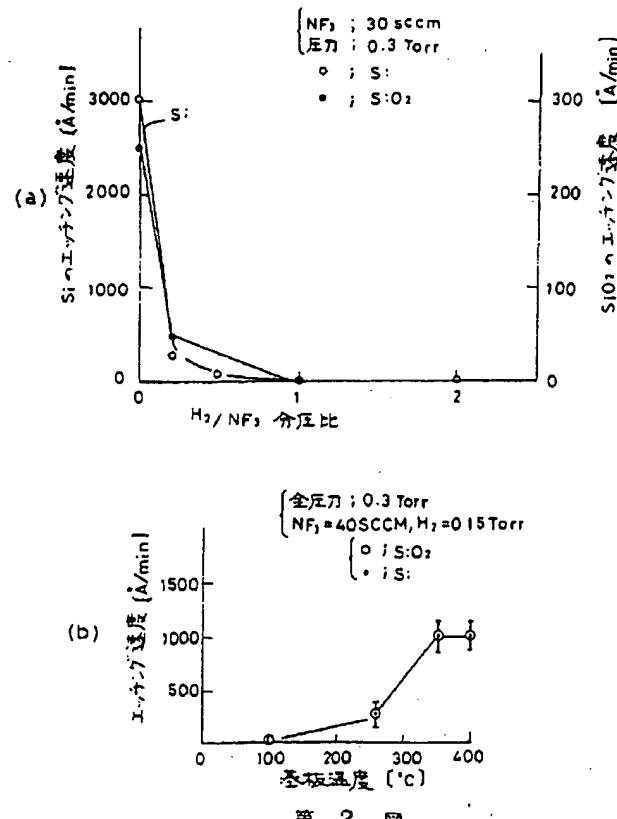
4. 表面の簡単な説明

第1図は本発明の実施例に使用する装置の概略図、第2図は本発明の実施例を説明するための特性図、第3図は本発明の一実施例を説明するための工程断面図である。

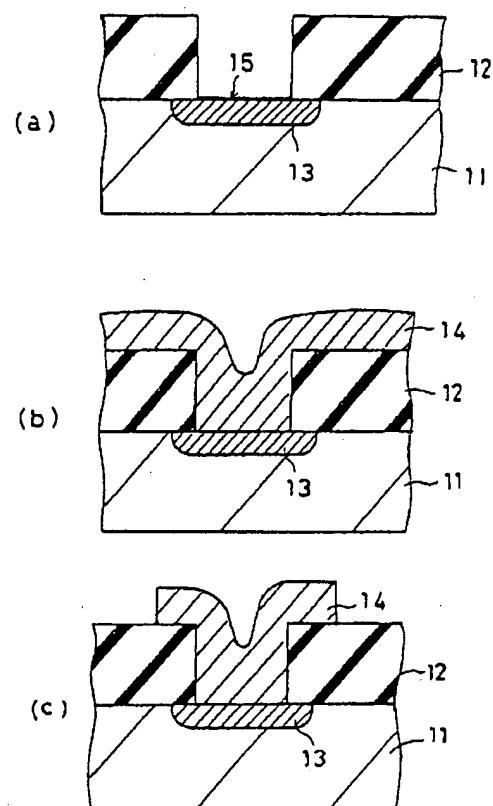
代理人弁理士 別近惠佑
同 松山九之



第1図



第2図



第 3 図